

8-15-05

IFW

**TRANSMITTAL LETTER**  
**(General - Patent Pending)**Docket No.  
JP920030017US1

In Re Application Of:

Nakamura et al.

Application No.	Filing Date	Examiner	Customer No.	Group Art Unit	Confirmation No.
10/709456	May 6, 2004	Tan T. Nguyen	24,241	2827	3455

Title: DYNAMIC SEMICONDUCTOR MEMORY DEVICE AND BIT LINE PRECHARGE METHOD THEREFOR

COMMISSIONER FOR PATENTS:

Transmitted herewith is:

1. Copy of postcard indicating receipt in USPTO of Certified Copy of Foreign Application dated 7/21/2004.
2. "Replacement" Certified Copy of Foreign Application; Japanese Application #JP2003-128367
3. Return Postcard

in the above identified application.

- ☒ No additional fee is required.
- ☐ A check in the amount of \_\_\_\_\_ is attached.
- ☒ The Director is hereby authorized to charge and credit Deposit Account No. 09-0456 as described below.
- ☐ Charge the amount of \_\_\_\_\_
- ☐ Credit any overpayment.
- ☒ Charge any additional fee required.
- ☐ Payment by credit card. Form PTO-2038 is attached.

**WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.**

*Michael J. LeStrange*  
Signature

Dated: 8/11/05

Michael J. LeStrange, Reg. No. 53,207  
International Business Machines Corporation  
1000 River St., 972 E  
Essex Junction, VT 05452

Phone: 802-769-1375

Express Mail # ER 792542273

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as ~~first class~~ <sup>Express</sup> mail in an envelope addressed to the "Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450" [37.CFR 1.8(a)] on

8/11/05

(Date)

*Deborah S. Drury*  
Signature of Person Mailing Correspondence

Deborah S. Drury

Typed or Printed Name of Person Mailing Correspondence

CC:



**RECEIVED IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Re Application of: Nakamura et al.

TITLE: DYNAMIC SEMICONDUCTOR MEMORY DEVICE AND BIT LINE  
PRECHARGE METHOD THEREFOR.

DOCKET NO: JP9-20030017

SERIAL NO: 10/709456

DATE Mailed: 7-19-04



Enclosed:

1. Return postcard;
2. Cover Sheet for Certified Copy of Foreign Application
3. Certified Copy of Foreign Application;  
Japanese Application JP2003-128367
4. Transmittal Letter
5. Information Disclosure Statement
6. PTO 1449 and Cited Art

JUL 26 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 3 年   5 月   6 日  
Date of Application:

出 願 番 号      特 願 2 0 0 3 - 1 2 8 3 6 7  
Application Number:

[ST. 10/C]:      [ J P 2 0 0 3 - 1 2 8 3 6 7 ]

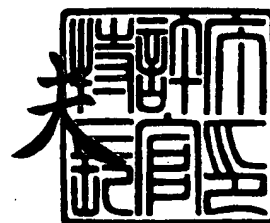
出 願 人      インターナショナル・ビジネス・マシーンズ・コーポレーシ  
Applicant(s):      ヨン

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 3 年 1 0 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 JP9030017

【提出日】 平成15年 5月 6日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/409

【発明者】

    【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・ビー・エム株式会社 野洲事業所内

    【氏名】 砂永 登志男

【発明者】

    【住所又は居所】 滋賀県野洲郡野洲町大字市三宅 8 0 0 番地 日本アイ・ビー・エム株式会社 野洲事業所内

    【氏名】 中村 裕

【特許出願人】

    【識別番号】 390009531

    【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

【代理人】

    【識別番号】 100086243

    【弁理士】

    【氏名又は名称】 坂口 博

【代理人】

    【識別番号】 100091568

    【弁理士】

    【氏名又は名称】 市位 嘉宏

【代理人】

    【識別番号】 100108501

    【弁理士】

    【氏名又は名称】 上野 剛史

## 【復代理人】

【識別番号】 100104444

## 【弁理士】

【氏名又は名称】 上羽 秀敏

## 【手数料の表示】

【予納台帳番号】 165170

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9706050

【包括委任状番号】 9704733

【包括委任状番号】 0207860

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ダイナミック型半導体記憶装置及びそのビット線プリチャージ方法

【特許請求の範囲】

【請求項 1】 スタンバイモードでリフレッシュ動作を行うダイナミック型半導体記憶装置であって、

複数のビット線対と、

前記ビット線対を電源電圧の半分の電圧にプリチャージするプリチャージ手段と、

複数のワード線と、

前記ワード線を選択的に活性化するロウデコーダと、

前記スタンバイモード中であって前記ワード線の活性化前の所定期間に前記プリチャージ手段を活性化しかつそれ以外の期間に非活性化する制御手段とを備えたことを特徴とするダイナミック型半導体記憶装置。

【請求項 2】 請求項 1 に記載のダイナミック型半導体記憶装置であってさらに、

前記電源電圧の半分の電圧を発生する電圧発生回路を備え、

前記プリチャージ手段は、

前記ビット線対の間に接続された第 1 のスイッチング素子と、

前記電圧発生回路の出力と前記ビット線対の一方との間に接続された第 2 のスイッチング素子と、

前記電圧発生回路の出力と前記ビット線対の他方との間に接続された第 3 のスイッチング素子とを含み、

前記制御手段は、前記第 2 及び第 3 のスイッチング素子を前記所定期間にオンにしかつそれ以外の期間にオフにすることを特徴とするダイナミック型半導体記憶装置。

【請求項 3】 請求項 2 に記載のダイナミック型半導体記憶装置であって、前記制御手段は、前記第 1 のスイッチング素子を前記ワード線の非活性化後にオンにしかつ前記ワード線の活性化前にオフにすることを特徴とするダイナミッ

ク型半導体記憶装置。

【請求項 4】 請求項 1 に記載のダイナミック型半導体記憶装置であってさらに、

前記電源電圧の半分の電圧を発生する電圧発生回路と、

前記ビット線対間の電位差を増幅するセンスアンプと、

前記ワード線に沿って配置されたダミーワード線とを備え、

前記プリチャージ手段は、

前記ビット線対の間に接続された第 1 のスイッチング素子と、

前記電圧発生回路の出力と前記ビット線対の一方との間に接続された第 2 のスイッチング素子と、

前記電圧発生回路の出力と前記ビット線対の他方との間に接続された第 3 のスイッチング素子とを含み、

前記ロウデコーダは、前記ワード線の非活性化後かつ前記所定期間前に前記ダミーワード線を活性化し、

前記制御手段は、前記第 1 のスイッチング素子を前記所定期間にオンにし、前記第 2 及び第 3 のスイッチング素子を前記スタンバイモード中にオフにし、前記センスアンプを前記ダミーワード線に活性化中に活性化することを特徴とするダイナミック型半導体記憶装置。

【請求項 5】 請求項 1 に記載のダイナミック型半導体記憶装置であってさらに、

前記電源電圧の半分の電圧を発生する電圧発生回路と、

前記ビット線対間の電位差を増幅するセンスアンプとを備え、

前記プリチャージ手段は、

前記ビット線対の間に接続された第 1 のスイッチング素子と、

前記電圧発生回路の出力と前記ビット線対の一方との間に接続された第 2 のスイッチング素子と、

前記電圧発生回路の出力と前記ビット線対の他方との間に接続された第 3 のスイッチング素子とを含み、

前記制御手段は、前記第 1 のスイッチング素子を前記所定期間にオンにし、前

記第 2 及び第 3 のスイッチング素子を前記スタンバイモード中にオフにし、前記センスアンプを前記ワード線の非活性化後かつ前記所定期間前に活性化することを特徴とするダイナミック型半導体記憶装置。

【請求項 6】 請求項 1 に記載のダイナミック型半導体記憶装置であって、前記プリチャージ手段は、前記ビット線対の間に接続された第 1 のスイッチング素子と、電源と前記ビット線対の一方との間に接続された第 2 のスイッチング素子と、接地と前記ビット線対の他方との間に接続された第 3 のスイッチング素子とを含むことを特徴とするダイナミック型半導体記憶装置。

【請求項 7】 請求項 6 に記載のダイナミック型半導体記憶装置であって、前記制御手段は、前記第 1 のスイッチング素子を前記所定期間にオンにし、前記第 2 及び第 3 のスイッチング素子を前記ワード線の非活性化後かつ前記所定期間前にオンにすることを特徴とするダイナミック型半導体記憶装置。

【請求項 8】 請求項 6 に記載のダイナミック型半導体記憶装置であって、前記ロウデコードは、前記スタンバイモードで前記複数のワード線を順に連続して活性化し、

前記制御手段は、前記ワード線の活性化ごと前記所定期間に前記第 1 のスイッチング素子をオンにし、前記ワード線の最初の活性化前であって前記所定期間前に前記第 2 及び第 3 のスイッチング素子をオンにすることを特徴とするダイナミック型半導体記憶装置。

【請求項 9】 スタンバイモードでリフレッシュ動作を行うダイナミック型半導体記憶装置におけるビット線プリチャージ方法であって、

前記スタンバイモード中であってワード線の活性化前の所定期間にビット線対を電源電圧の半分の電圧にプリチャージするステップと、

前記所定期間以外の期間に前記ビット線対を電氣的にフローティング状態にするステップとを含むことを特徴とするダイナミック型半導体記憶装置におけるビット線プリチャージ方法。

【請求項 10】 請求項 9 に記載のダイナミック型半導体記憶装置におけるビット線プリチャージ方法であって、



前記プリチャージするステップは、  
前記ビット線対の一方を電源に一時的に接続するステップと、  
前記ビット線対の他方を接地に一時的に接続するステップと、  
前記ビット線対が前記電源及び前記接地から切り離された後、前記ビット線対の一方及び他方を互いに短絡するステップとを含むことを特徴とするダイナミック型半導体記憶装置におけるビット線プリチャージ方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、ダイナミック型半導体記憶装置及びそのビット線プリチャージ方法に関し、さらに詳しくは、スタンバイモードでリフレッシュ動作を行う D R A M (Dynamic Random Access Memory) 及びそのビット線プリチャージ方法に関する。

【0 0 0 2】

【従来の技術】

携帯電話、携帯情報端末 (P D A ; Personal Digital Assistant) など、電池で駆動される機器では、そこで使用される半導体装置の低消費電力化が最も重要な課題である。従来、半導体メモリとしては S R A M (Static Random Access Memory) が広く使用されてきた。S R A M のメモリセルは 6 つの C M O S (Complementary Metal Oxide Semiconductor) トランジスタからなり、わずかな消費電流でデータを保持できるからである。しかし、S R A M のメモリセルは D R A M のメモリセルよりも 2 0 倍以上大きい。また、近年必要なメモリ容量は増大してきており、現在の 0. 2 ~ 0. 1 3  $\mu$  m 程度の配線技術で 3 2 M ビットや 6 4 M ビットなどの S R A M を製造すると、チップサイズが大きくなりすぎる。このように S R A M は D R A M よりも面積効率が悪いが、この面積効率の悪さは微細化によってさらに悪化する。このため、S R A M を D R A M で置き換えた製品が始めている。

【0 0 0 3】

図 1 2 を参照して、従来の D R A M は、行及び列に配置されたメモリセル (図

示せず)を含むメモリセルアレイ10と、行に配置されたワード線WLと、列に配置されたビット線対BL, /BLと、ワード線WLを選択的に活性化するロウデコーダ12と、ビット線対BL, /BLの電位差を増幅するセンスアンプ14と、電源電圧V<sub>dd</sub>の半分の電圧V<sub>dd</sub>/2を発生するハーフV<sub>dd</sub>レギュレータ16と、ビット線対BL, /BLをV<sub>dd</sub>/2にプリチャージするNチャネルMOSトランジスタQ1~Q3と、センスアンプ14及びトランジスタQ1~Q3を制御するタイミング制御回路18とを備える。

#### 【0004】

DRAMは、データの読出及び書込動作を行うアクティブモードのほか、スタンバイモードを有する。スタンバイモードでは、DRAMは読出及び書込動作を全く行わず、データを保持するためにリフレッシュ動作のみを行う。リフレッシュ動作は一定の周期（以下「リフレッシュ周期」という）で行われる。リフレッシュ動作はメモリセルからデータを一旦読み出して再びメモリセルに書き込む動作で、基本的に通常の読出又は書込動作と類似している。以下、リフレッシュ動作の詳細を説明する。

#### 【0005】

図13を参照して、リフレッシュ前においては、プリチャージ/イコライズ信号PC/EQがH（論理ハイ）レベルにあるので、トランジスタQ1~Q3はオンになっており、ビット線対BL, /BLはV<sub>dd</sub>/2にプリチャージされている。タイミング制御回路18がプリチャージ/イコライズ信号PC/EQをL（論理ロー）レベルにし、ロウデコーダ12がワード線WLを活性化すると、メモリセルからデータが読み出され、ビット線対BL, /BLの間に電位差が生じる。続いて、タイミング制御回路18がセンスアンプ制御信号SACをHレベルにすると、センスアンプ14が活性化される。センスアンプ14はビット線対BL, /BLの間の電位差を増幅し、ビット線対BL, /BLの一方を電源電圧V<sub>dd</sub>まで引き上げ、他方を接地電圧GNDまで引き下げる。これによりデータがメモリセルに再書き込みされ、メモリセルのデータがリフレッシュされる。タイミング制御回路18がセンスアンプ制御信号SACをLレベルに戻し、ロウデコーダ12がワード線WLを非活性化した後、タイミング制御回路18はプリチャー

ジ／イコライズ信号PC／EQを再びHレベルにする。これによりビット線対BL，／BLは再び $V_{dd}/2$ にプリチャージされる。上述したワード線WLの活性化から非活性化までの一連の動作を「リフレッシュ動作」という。

#### 【0006】

ここで、仮に図12中の交点Xでワード線WLがビット線／BLと短絡していたとする。このようなビット線対BL，／BLは冗長ビット線対RBL，／RBLと電氣的に置き換えられるが、物理的にはそこに存在していることに変わりはない。したがって、ワード線WLの電圧が接地電圧GNDにある間に、ビット線対BL，／BLが $V_{dd}/2$ にプリチャージされると、ビット線／BLとワード線WLとの間に漏れ電流 $I_d$ が生じる。ハーフ $V_{dd}$ レギュレータ16は常に活性化されているため、電源からハーフ $V_{dd}$ レギュレータ16、ビット線／BL及びワード線WLを通して接地に向け、漏れ電流 $I_D$ が流れる。ハーフ $V_{dd}$ レギュレータ16の効率を $R_e$  ( $0 < R_e < 1$ ) とすると、漏れ電流 $I_D$ は $I_d/R_e$ で表される。

#### 【0007】

図14はスタンバイモードにおける消費電流（以下「スタンバイ電流」という）を示す。リフレッシュ周期 $T_r$ がたとえば $15.6\mu s$ の場合、 $0.2\mu m$ 程度の配線技術下では、リフレッシュに実際にかかる時間（以下「リフレッシュ稼働期間」という） $T_1$ は $60ns$ 程度である。リフレッシュ稼働期間 $T_1$ にはリフレッシュによる大きな交流電流ACが流れる。図14には、交流電流ACをリフレッシュ稼働期間 $T_1$ で平均化したリフレッシュ電流 $R_F1$ 及びリフレッシュ周期 $T_r$ で平均化したリフレッシュ電流 $R_F2$ が表されている。一方、リフレッシュ周期 $T_r$ の99.6%以上に当たる $15.54\mu s$ の期間（以下「リフレッシュ非稼働期間」という） $T_2$ にはこのような交流電流ACは流れない。しかしDRAMでは、ハーフ $V_{dd}$ レギュレータ16のほか、様々な基準電圧発生回路が周辺回路に設けられているため、リフレッシュ非稼働期間 $T_2$ にも直流電流DCが流れる。さらに、上述した漏れ電流 $I_D$ も流れる。したがって、スタンバイ電流STは、直流電流DC、リフレッシュ電流 $R_F2$ 及び漏れ電流 $I_D$ の総和となる。

## 【0008】

漏れ電流  $I_D$  は欠陥に起因するため、その値は予想し難い。そのため、規格上は大きめの値を想定しなければならない。しかも、漏れ電流  $I_D$  はばらつきも大きいいため、漏れ電流  $I_D$  の少ない DRAM を長期間に渡って定常的に製造するのは困難である。漏れ電流  $I_D$  は数十メガビット級の DRAM でも数十  $\mu A$  にもなり、数ギガビット級の DRAM ではさらに大きくなる。したがって、漏れ電流  $I_D$  はリフレッシュ電流  $R_F$  よりもはるかに大きくなることが予想され、10  $\mu A$  程度のスタンバイ電流を目標とする低電流 DRAM にとっては深刻な問題となる。

## 【0009】

後掲の特許文献 1 には、このような欠陥による漏れ電流を防止するため、ビット線対を  $V_{dd}/2$  にプリチャージするハーフ  $V_{dd}$  プリチャージ方式ではなく、ビット線対をワード線と同じ接地電圧にプリチャージする GND プリチャージ方式が開示されている。この方式によれば、スタンバイモードでビット線対の電圧がワード線と同じ接地電圧になるため、漏れ電流はなくなる。しかし、アクティブモードでビット線対の電圧を接地電圧と電源電圧との間でフルに振幅させなければならないため、通常の動作電流はハーフ  $V_{dd}$  プリチャージ方式の 2 倍になる。したがって、GND プリチャージ方式は結果的に消費電流を低減するのに効果的ではない。

## 【0010】

## 【特許文献 1】

特開平 5-128858 号公報

## 【0011】

## 【発明が解決しようとする課題】

本発明の目的は、スタンバイ電流を低減することの可能なダイナミック型半導体記憶装置及びそのビット線プリチャージ方法を提供することである。

## 【0012】

本発明のもう 1 つの目的は、通常の動作電流を増加させることなく、欠陥による漏れ電流を低減することの可能なダイナミック型半導体記憶装置及びそのビッ

ト線プリチャージ方法を提供することである。

【0013】

【課題を解決するための手段】

本発明によるダイナミック型半導体記憶装置は、スタンバイモードでリフレッシュ動作を行うダイナミック型半導体記憶装置であって、複数のビット線対と、プリチャージ手段と、複数のワード線と、ロウデコーダと、制御手段とを備える。プリチャージ手段は、ビット線対を電源電圧の半分の電圧にプリチャージする。ワード線はビット線対と交差する。ロウデコーダは、ワード線を選択的に活性化する。制御手段は、スタンバイモード中であってワード線の活性化前の所定期間にプリチャージ手段を活性化しかつそれ以外の期間に非活性化する。

【0014】

本発明によるビット線プリチャージ方法は、スタンバイモード中であってワード線の活性化前の所定期間にビット線対を電源電圧の半分の電圧にプリチャージするステップと、所定期間以外の期間にビット線対を電氣的にフローティング状態にするステップとを含む。

【0015】

このダイナミック型半導体記憶装置及びそのビット線プリチャージ方法では、スタンバイモードでリフレッシュ動作を行うためにワード線が活性化される。ビット線対はワード線の活性化前の所定期間にプリチャージされ、それ以外の期間にプリチャージされず、電氣的にフローティング状態にされる。したがって、仮にワード線がビット線と短絡していたとしても、ワード線とビット線との間に漏れ電流は流れない。その結果、スタンバイ電流を低減することができる。加えて、ビット線対は従来と同様に電源電圧の半分の電圧にプリチャージされるので、アクティブモードで通常の動作電流が増加することはない。

【0016】

【発明の実施の形態】

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明を援用する。

【0017】

## 〔第1の実施の形態〕

図1を参照して、本実施の形態によるDRAMは、メモリセルアレイ20と、ハーフV<sub>dd</sub>レギュレータ16と、ロウアドレスレシーバ24と、タイマ26と、ロウアドレスカウンタ28と、セクタ30とを備える。メモリセルアレイ20は複数のブロック22に分割される。ハーフV<sub>dd</sub>レギュレータ16は電源電圧の半分の電圧V<sub>dd</sub>/2を発生し、メモリセルアレイ20に供給する。

## 【0018】

図2を参照して、各ブロック22は、行及び列に配置されたメモリセル（図示せず）を含むメモリセルアレイ10と、行に配置された複数のワード線WLと、列に配置され、ワード線WLと交差する複数のビット線対BL、 $\overline{BL}$ と、プリデコード信号PDに応答してワード線WLを選択的に活性化するロウデコーダ12と、ビット線BLとビット線 $\overline{BL}$ と間の電位差を増幅するセンスアンプ14と、ビット線対BL、 $\overline{BL}$ をV<sub>dd</sub>/2にプリチャージするトランジスタQ1～Q3と、センスアンプ14及びトランジスタQ1～Q3を制御するタイミング制御回路18とを備える。

## 【0019】

トランジスタQ1はビット線BLとビット線 $\overline{BL}$ との間に接続される。トランジスタQ2はビット線BLとハーフV<sub>dd</sub>線32との間に接続される。トランジスタQ3はビット線 $\overline{BL}$ とハーフV<sub>dd</sub>線32との間に接続される。ハーフV<sub>dd</sub>線32はハーフV<sub>dd</sub>レギュレータ16の出力に接続される。トランジスタQ1～Q3のゲートにはプリチャージ/イコライズ信号PC/EQが共通に与えられる。トランジスタQ1～Q3はプリチャージ/イコライズ信号PC/EQに応答してオン又はオフになる。

## 【0020】

再び図1を参照して、ロウアドレスレシーバ24は、入力された外部ロウアドレス信号ERAを受信する。タイマ26は、所定のリフレッシュ周期（たとえば15.6  $\mu$ s）でリフレッシュイネーブル信号REをロウアドレスカウンタ28及びセクタ30に与える。ロウアドレスカウンタ28は、内部ロウアドレス信号IRAを発生しかつ保持する。内部ロウアドレス信号IRAはリフレッシュイ

ネーブル信号 R E に応答してカウントアップされる。通常のアクセスモードでは、セクタ 3 0 はロウアドレスレシーバ 2 4 からの外部ロウアドレス信号 E R A を選択する。一方、スタンバイモードでは、セクタ 3 0 はリフレッシュイネーブル信号 R E に応答してロウアドレスカウンタ 2 8 からの内部ロウアドレス信号 I R A を選択する。

#### 【 0 0 2 1 】

セクタ 3 0 により選択されたロウアドレス信号 E R A 又は I R A は、メモリセルアレイ 2 0 内のプリデコーダ（図示せず）に与えられる。プリデコーダは、ロウアドレス信号 E R A 又は I R A をプリデコードし、プリデコード信号 P D をロウデコーダ 1 2 に、ブロックイネーブル信号 B E をタイミング制御回路 1 8 に与える。タイミング制御回路 1 8 はブロックイネーブル信号 B E に応答して活性化され、ブロック 2 2 を選択する。

#### 【 0 0 2 2 】

次に、この D R A M のスタンバイモードにおけるリフレッシュ動作を説明する。

#### 【 0 0 2 3 】

従来のプリチャージ／イコライズ信号 P C ／E Q は図 1 3 に示したようにワード線 W L の非活性化から活性化までの期間ずっと H レベルになるが、本実施の形態のプリチャージ／イコライズ信号 P C ／E Q は図 3 に示すようにワード線 W L の活性化前の所定期間 T p c だけ H レベルになり、それ以外の期間は L レベルになる。

#### 【 0 0 2 4 】

タイミング制御回路 1 8 がプリチャージ／イコライズ信号 P C ／E Q を H レベルにすると、トランジスタ Q 1 ～Q 3 が一斉にオンになる。これによりビット線対 B L ， / B L がハーフ V d d 線 3 2 に接続され、かつビット線 B L とビット線 / B L とが互いに短絡される。そのため、ビット線対 B L ， / B L は V d d / 2 にプリチャージされる。

#### 【 0 0 2 5 】

プリチャージ／イコライズ信号 P C ／E Q が L レベルに戻った後、ロウデコー

ダ12がワード線WLを活性化し、ワード線WLの電圧が電源電圧V<sub>dd</sub>よりも高い昇圧電圧まで上昇すると、メモリセルからデータが読み出され、ビット線対BL, /BLの間に電位差が生じる。タイミング制御回路18がセンスアンプ制御信号SACをHレベルにすると、センスアンプ14が活性化される。センスアンプ14は、高い方のビット線の電圧を電源電圧V<sub>dd</sub>まで引き上げ、低い方のビット線の電圧を接地電圧GNDまで引き下げる。これによりデータがメモリセルに再書き込みされ、リフレッシュされる。

#### 【0026】

続いて、タイミング制御回路18がセンスアンプ制御信号SACをLレベルに戻し、ロウデコーダ12がワード線WLを非活性化し、ワード線WLの電圧が接地電圧GNDまで戻る。ワード線WLの非活性化後、従来のプリチャージ/イコライズ信号PC/EQは直ちにHレベルになるが、本実施の形態のプリチャージ/イコライズ信号PC/EQはLレベルを維持する。したがって、ビット線対BL, /BLはプリチャージされることなく、電氣的にフローティング状態のまま維持される。よって、高い方のビット線の電圧V<sub>dd</sub>は徐々に接地電圧GNDに向かって下降する。

#### 【0027】

そして再び、ワード線WLの活性化前の所定期間T<sub>pc</sub>だけタイミング制御回路18はプリチャージ/イコライズ信号PC/EQをHレベルにする。

#### 【0028】

本実施の形態によれば、仮に図2中の交点Xでワード線WLがビット線/BLと短絡していたとしても、所定期間T<sub>pc</sub>以外の期間、プリチャージ/イコライズ信号PC/EQはLレベルになるので、ビット線対BL, /BLはハーフV<sub>dd</sub>線32から切り離され、V<sub>dd</sub>/2にプリチャージされない。そのため、ビット線/BLとワード線WLとの間に従来のような漏れ電流は流れない。しかも本実施の形態は、従来と同様にビット線対BL, /BLをV<sub>dd</sub>/2にプリチャージするハーフV<sub>dd</sub>プリチャージ方式を採用しているので、ビット線対BL, /BLの電圧を接地電圧GNDと電源電圧V<sub>dd</sub>との間でフルに振幅させる必要はない。そのため、ビット線対BL, /BLを接地電圧GNDにプリチャージする



GNDプリチャージ方式のようにアクティブ電流が増加することはない。その結果、スタンバイ電流を効果的に低減することができる。

#### 【0029】

ただし、リフレッシュ前にビット線対BL、 $\overline{BL}$ を接地電圧GNDから $V_{dd}/2$ にプリチャージしなければならないため、新たにプリチャージ電流が必要になる。したがって、所定のリフレッシュ周期（たとえば $15.6\mu s$ ）で単発的にリフレッシュを行うよりもバーストリフレッシュを行う方が好ましい。

#### 【0030】

たとえば1回のバーストリフレッシュで16本のワード線が順に連続的に活性化される場合において、ワード線1本当当たりのリフレッシュ稼働期間が $60ns$ とすると、1回のバーストリフレッシュに $960ns (=60ns \times 16)$ かかる。さらに、このバーストリフレッシュを $15.6\mu s$ のリフレッシュ周期で16回行うとすると、16回のバーストリフレッシュに $249.6\mu s (=15.6\mu s \times 16)$ かかる。

#### 【0031】

このようなバーストリフレッシュを行う場合においては、ワード線を活性化するたびにその直前でビット線対をプリチャージする必要はない。そこで、最初にワード線を活性化する直前だけビット線対をプリチャージし、以降のワード線を活性化する直前にはビット線対をプリチャージしないようにすれば、プリチャージ電流は、16回のバーストリフレッシュでは $1/16$ になり、32回のバーストリフレッシュでは $1/32$ になる。

#### 【0032】

$0.2\mu m$ 程度の配線技術を想定し、ビット線1本当当たりの寄生容量を $100fF$ 、 $V_{dd}/2 = 0.75V$ 、ビット線対の数を $4K (=4 \times 1024)$ とすると、ビット線対を接地電圧から $V_{dd}/2$ にプリチャージするために必要なプリチャージ電流 $I_p$ は次式で表される。

$$I_p = 100fF \times 2 \times 4 \times 1024 \times 0.75V / 15.6\mu s = 39\mu A$$

#### 【0033】

16回のバーストリフレッシュでは、 $I_p = 39\mu A / 16 = 2.4\mu A$ にな

り、32回のバーストリフレッシュでは、 $I_p = 39 \mu A / 32 = 1.2 \mu A$ になる。

欠陥による漏れ電流が数十 $\mu A$ を超えるような場合と比較すれば、プリチャージ電流  $I_p$  の増加は小さいといえる。

#### 【0034】

##### [第2の実施の形態]

上記第1の実施の形態と異なり本実施の形態では、図4に示すように、タイミング制御回路18がイコライズ信号EQ及びプリチャージ信号PCを出力する。イコライズ信号EQはトランジスタQ1のゲートに共通に与えられ、プリチャージ信号PCはトランジスタQ2, Q3のゲートに共通に与えられる。図5に示すように、イコライズ信号EQは従来のプリチャージ／イコライズ信号PC／EQ(図13)と同様に変化し、プリチャージ信号PCは上記第1の実施の形態のプリチャージ／イコライズ信号PC／EQ(図3)と同様に変化する。

#### 【0035】

ワード線WLが非活性化されると、イコライズ信号EQはHレベルになるが、プリチャージ信号PCはLレベルを維持する。イコライズ信号EQがHレベルになると、トランジスタQ1がオンになり、ビット線BLとビット線／BLとが互いに短絡される。一方、プリチャージ信号PCはLレベルのままであるので、トランジスタQ2, Q3はオフのままである。したがって、ビット線対BL, /BLはフローティング状態にあり、ハーフVddレギュレータ16によりプリチャージされない。そのため、仮に図4中の交点Xでワード線WLがビット線／BLと短絡していたとしても、ビット線／BLとワード線WLとの間に漏れ電流は流れない。

#### 【0036】

ワード線WLが活性化される前の所定期間 $T_{pc}$ 、プリチャージ信号PCがHレベルになる。このとき、イコライズ信号EQはHレベルを維持する。プリチャージ信号PCがHレベルになると、トランジスタQ2, Q3がオンになり、ビット線対BL, /BLがハーフVddレギュレータ16により $V_{dd}/2$ にプリチャージされる。そして、イコライズ信号EQ及びプリチャージ信号PCがともに

Lレベルに戻った後、ワード線WLの電圧が上昇する。

#### 【0037】

以上のように本実施の形態によれば、プリチャージ信号PCがワード線WLの活性化直前の所定期間Tp c以外の期間でLレベルになり、ビット線対BL, /BLをハーフVdd線32から切り離しているため、欠陥による漏れ電流が流れない。その結果、スタンバイ電流を低減することができる。

#### 【0038】

##### [第3の実施の形態]

上記第2の実施の形態と異なり本実施の形態では、図6に示すように、通常のワード線WLに沿ってダミーワード線DWLが設けられる。ダミーワード線WLは一般にメモリセルアレイ10の端にレイアウトの規則性を維持するために設けられ、データの読出又は書込動作のためには使用されない。本実施の形態ではダミーワード線DWLを活性化してダミーの読出動作を行う。

#### 【0039】

具体的には図7に示すように、タイミング制御回路18は、ワード線WLの活性化直前の所定期間Tp cにイコライズ信号EQをHレベルにし、プリチャージ信号PCをスタンバイモード中は常にLレベルに維持する。ロウデコーダ12は、ワード線WLを活性化する前に、ダミーワード線DWLを活性化する。ここでは実際にデータを読み出すわけではないので、ロウデコーダ12はダミーワード線DWLの電圧を電源電圧Vddよりも高い昇圧電圧まで上昇させる必要はなく、電源電圧Vddまで上昇させれば足りる。ダミーワード線DWLが活性化されている間にタイミング制御回路18はセンスアンプ制御信号SACをHレベルにする。

#### 【0040】

ダミーワード線DWLが活性化されると、ダミーワード線DWLに接続されているダミーメモリセル（図示せず）からデータがビット線対BL, /BLに読み出される。このデータは不特定であるが、ビット線対BL, /BLの間に何らかの電位差が生じる。センスアンプ制御信号SACがHレベルになると、センスアンプ14が活性化され、その電位差を増幅する。これにより高い方のビット線の

電圧は電源電圧  $V_{dd}$  まで引き上げられ、低い方のビット線の電圧は接地電圧  $GND$  まで引き下げられる。

#### 【0041】

センスアンプ制御信号  $SAC$  が  $L$  レベルに戻り、ダミーワード線  $DWL$  の電圧が接地電圧  $GND$  に戻った後、イコライズ信号  $EQ$  が  $H$  レベルになると、トランジスタ  $Q1$  がオンになり、ビット線  $BL$  とビット線  $\neg BL$  とが互いに短絡される。そのため、ビット線対  $BL$ ,  $\neg BL$  の電圧は  $V_{dd}/2$  にイコライズされる。イコライズ信号  $EQ$  が  $L$  レベルに戻った後、ワード線  $WL$  の電圧が上昇する。

#### 【0042】

以上のように本実施の形態によれば、プリチャージ信号  $PC$  がスタンバイモードで常に  $L$  レベルを維持し、ビット線対  $BL$ ,  $\neg BL$  をハーフ  $V_{dd}$  線 32 から切り離しているため、欠陥による漏れ電流は流れない。その結果、スタンバイ電流を低減することができる。プリチャージ信号  $PC$  はスタンバイモードで常に  $L$  レベルを維持するが、ワード線  $WL$  を活性化する前に、ダミーワード線  $DWL$  を活性化しかつセンスアンプ 14 を活性化しているため、ビット線対  $BL$ ,  $\neg BL$  を  $V_{dd}/2$  にプリチャージすることができる。

#### 【0043】

##### [第4の実施の形態]

上記第3の実施の形態では、ビット線対  $BL$ ,  $\neg BL$  を  $V_{dd}/2$  にプリチャージするために、ダミーワード線  $DWL$  を用いてダミーの読出動作を行っているが、ダミーワード線  $DWL$  がなければ単にセンスアンプ 14 を活性化するだけでもよい。具体的には図8に示すように、ビット線対  $BL$ ,  $\neg BL$  の電圧をイコライズする直前にタイミング制御回路 18 がセンスアンプ制御信号  $SAC$  を  $H$  レベルにする。なお、本実施の形態の構成は図4に示した第2の実施の形態の構成と同じである。

#### 【0044】

いずれのワード線  $WL$  も活性化されていないときにセンスアンプ制御信号  $SAC$  が  $H$  レベルになると、センスアンプ 14 が活性化される。このときビット線対  $BL$ ,  $\neg BL$  に何らデータは読み出されないが、ビット線対  $BL$ ,  $\neg BL$  の間に

は自然にわずかな電位差が生じている。センスアンプ 1 4 はこの電位差を増幅し、これにより高い方のビット線の電圧は電源電圧  $V_{dd}$  まで引き上げられ、低い方のビット線の電圧は接地電圧  $GND$  まで引き下げられる。センスアンプ制御信号  $SAC$  が  $L$  レベルに戻ってセンスアンプ 1 4 が非活性化された後、イコライズ信号  $EQ$  が  $H$  レベルになると、ビット線対  $BL$ 、 $\overline{BL}$  はイコライズされ、 $V_{dd}/2$  にプリチャージされる。

#### 【0 0 4 5】

##### [第 5 の実施の形態]

本実施の形態では上記実施の形態におけるハーフ  $V_{dd}$  レギュレータ 1 6 は設けられない。代わりに、図 9 に示すように電源線 3 4 及び接地線 3 6 が設けられる。電源線 3 4 には電源電圧  $V_{dd}$  が供給される。接地線 3 6 には接地電圧  $GND$  が供給される。電源線 3 4 とビット線  $BL$  との間には  $P$  チャネル  $MOS$  トランジスタ  $Q_4$  が接続される。接地線 3 6 とビット線  $\overline{BL}$  との間には  $N$  チャネル  $MOS$  トランジスタ  $Q_5$  が接続される。プリチャージ信号  $PCP$  は複数のトランジスタ  $Q_4$  のゲートに共通に与えられる。プリチャージ信号  $PCN$  は複数のトランジスタ  $Q_5$  のゲートに共通に与えられる。トランジスタ  $Q_4$  はプリチャージ信号  $PCP$  に応答してオン又はオフになる。トランジスタ  $Q_5$  はプリチャージ信号  $PCN$  に応答してオン又はオフになる。

#### 【0 0 4 6】

タイミング制御回路 1 8 は、図 1 0 に示すように、ワード線  $WL$  が活性化される直前の所定期間  $T_{pc1}$  にイコライズ信号  $EQ$  を  $H$  レベルにする。タイミング制御回路 1 8 はさらに、イコライズ信号  $EQ$  が  $H$  レベルになる直前の所定期間  $T_{pc2}$  にプリチャージ信号  $PCP$  を  $L$  レベルにしかつプリチャージ信号  $PCN$  を  $H$  レベルにする。

#### 【0 0 4 7】

プリチャージ信号  $PCP$  が  $L$  レベルになると、トランジスタ  $Q_4$  がオンになり、一方のビット線  $BL$  が電源線 3 4 に接続され、電源電圧  $V_{dd}$  にプリチャージされる。これと同時に、プリチャージ信号  $PCN$  が  $H$  レベルになると、トランジスタ  $Q_5$  がオンになり、他方のビット線  $\overline{BL}$  が接地線 3 6 に接続され、接地電

圧GNDにプリチャージされる。プリチャージ信号PCPがHレベルに戻りかつプリチャージ信号PCNがLレベルに戻った後、イコライズ信号EQがHレベルになると、ビット線対BL, /BLはイコライズされ、Vdd/2にプリチャージされる。すなわち、一方のビット線BLが電源線34に、他方のビット線/BLが接地線36にそれぞれ一時的に接続される。ビット線対BL, /BLが電源線34及び接地線36から切り離された後、一方のビット線BLと他方のビット線/BLとが互いに短絡される。

#### 【0048】

以上のように本実施の形態によれば、ワード線WLが活性化される前の所定期間Tpc2以外の期間でプリチャージ信号PCPがHレベルになりかつプリチャージ信号PCNがLレベルになり、ビット線対BL, /BLを電源線34及び接地線36から切り離しているため、欠陥による漏れ電流が流れない。その結果、スタンバイ電流を低減することができる。しかもハーフVddレギュレータ16が不要であるため、これによる消費電力も低減することができる。

#### 【0049】

##### [第6の実施の形態]

上記第5の実施の形態ではワード線WLが活性化される前に毎回ビット線対BL, /BLの電圧を接地電圧GNDと電源電圧Vddとの間でフルに振幅させているが、メモリセルアレイ10内の全ワード線WLを順番に連続して活性化するバーストリフレッシュ動作ではその必要はない。本実施の形態では図11に示すように、ビット線対BL, /BLの電圧を最初のワード線WL1が活性化される前だけフルに振幅させ、それ以降のワード線WL2~WL256が活性化される前にはフルに振幅させない。

#### 【0050】

具体的には、最初のワード線WL1が活性化される前の所定期間Tpc2に、タイミング制御回路18はプリチャージ信号PCPをLレベルにしかつプリチャージ信号PCNをHレベルにする。これによりビット線対BL, /BLの電圧がフルに振幅され、一方のビット線BLが電源電圧Vddにプリチャージされ、他方のビット線/BLが接地電圧GNDにプリチャージされる。続いてイコライズ

信号EQがHレベルになると、ビット線対BL、 $\overline{\text{BL}}$ はイコライズされ、 $V_{dd}/2$ にプリチャージされる。

#### 【0051】

従来、仮にワード線WLがビット線 $\overline{\text{BL}}$ と $5\text{ k}\Omega$ で短絡していたとすると、 $V_{dd}=1.6\text{ V}$ の場合、 $I_d=1.6\text{ V}/2/5\text{ k}\Omega=160\text{ }\mu\text{ A}$ となる。さらに $R_e=0.8$ とすると、 $I_D=160\text{ }\mu\text{ A}/0.8=200\text{ }\mu\text{ A}$ となる。したがって、このような欠陥が1つでもあれば、低電流DRAMの規格を満足することはできない。

#### 【0052】

これに対し本実施の形態では、たとえば $V_{dd}=1.6\text{ V}$ 、ワード線の本数を256本、センスアンプの活性化時間を $10\text{ ns}$ 、メモリセルがデータを保持可能なリテンション時間を $64\text{ ms}$ とすれば、スタンバイモードにおけるDC電流の増加量は $0.013\text{ }\mu\text{ A}$  ( $=1.6\text{ V}/5\text{ k}\Omega \times 256 \times 10\text{ ns}/64\text{ ms}$ )に抑えられる。したがって、上記のような欠陥が100個あってもDC電流の増加量は $1.3\text{ }\mu\text{ A}$ である。その結果、欠陥に対して多大な注意を払う必要はなく、低電流DRAMを高い歩留まりで生産することができる。

#### 【0053】

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施の形態によるDRAMの全体構成を示す機能ブロック図である。

##### 【図2】

図1中のブロックの具体的な構成を示す機能ブロック図である。

##### 【図3】

図1及び図2に示したDRAMのリフレッシュ動作を示すタイミング図である

。

【図 4】

本発明の第 2 の実施の形態による DRAM の一部構成を示す機能ブロック図である。

【図 5】

図 4 に示した DRAM のリフレッシュ動作を示すタイミング図である。

【図 6】

本発明の第 3 の実施の形態による DRAM の一部構成を示す機能ブロック図である。

【図 7】

図 6 に示した DRAM のリフレッシュ動作を示すタイミング図である。

【図 8】

本発明の第 4 の実施の形態による DRAM のリフレッシュ動作を示すタイミング図である。

【図 9】

本発明の第 5 の実施の形態による DRAM の一部構成を示す機能ブロック図である。

【図 10】

図 9 に示した DRAM のリフレッシュ動作を示すタイミング図である。

【図 11】

本発明の第 6 の実施の形態による DRAM のリフレッシュ動作を示すタイミング図である。

【図 12】

従来の DRAM の一部構成を示す機能ブロック図である。

【図 13】

図 12 に示した DRAM のリフレッシュ動作を示すタイミング図である。

【図 14】

図 12 に示した DRAM のスタンバイモードにおける消費電流を示す波形図である。



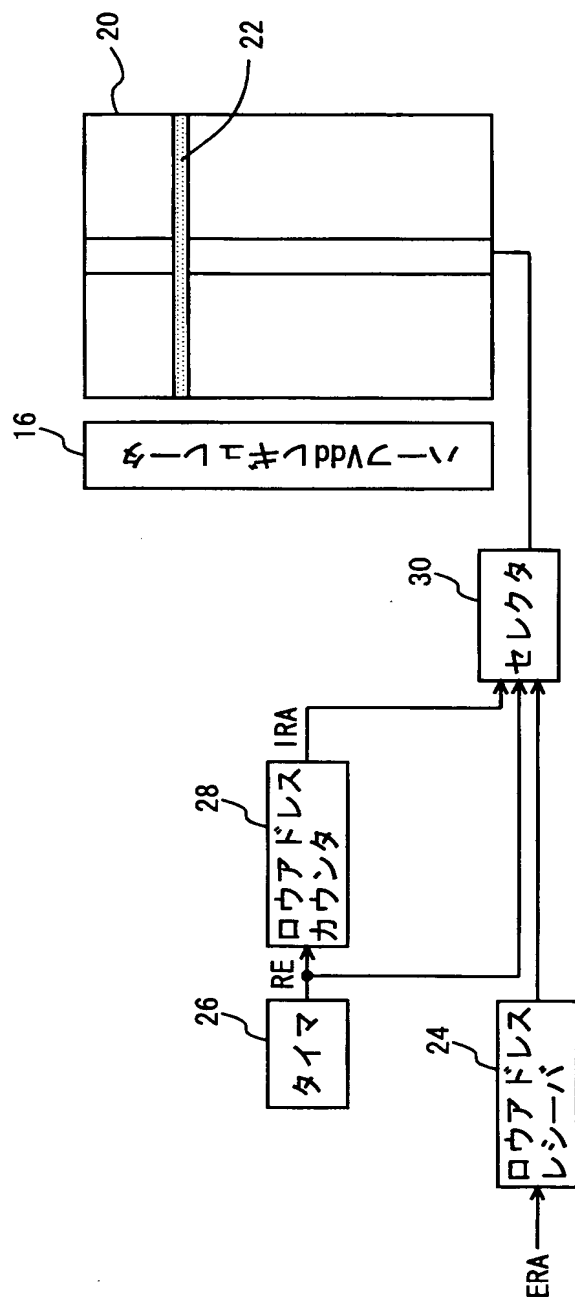
## 【符号の説明】

1 0, 2 0    メモリセルアレイ  
1 2    ロウデコーダ  
1 4    センスアンプ  
1 6    ハーフ V d d レギュレータ  
1 8    タイミング制御回路  
3 2    ハーフ V d d 線  
3 4    電源線  
3 6    接地線  
Q 1 ~ Q 5    トランジスタ  
B L, / B L    ビット線対  
W L    ワード線  
D W L    ダミーワード線  
V d d    電源電圧  
G N D    接地電圧  
P C / E Q    プリチャージ / イコライズ信号  
P C, P C N, P C P    プリチャージ信号  
E Q    イコライズ信号  
S A C    センスアンプ制御信号  
T p c, T p c 1, T p c 2    所定期間

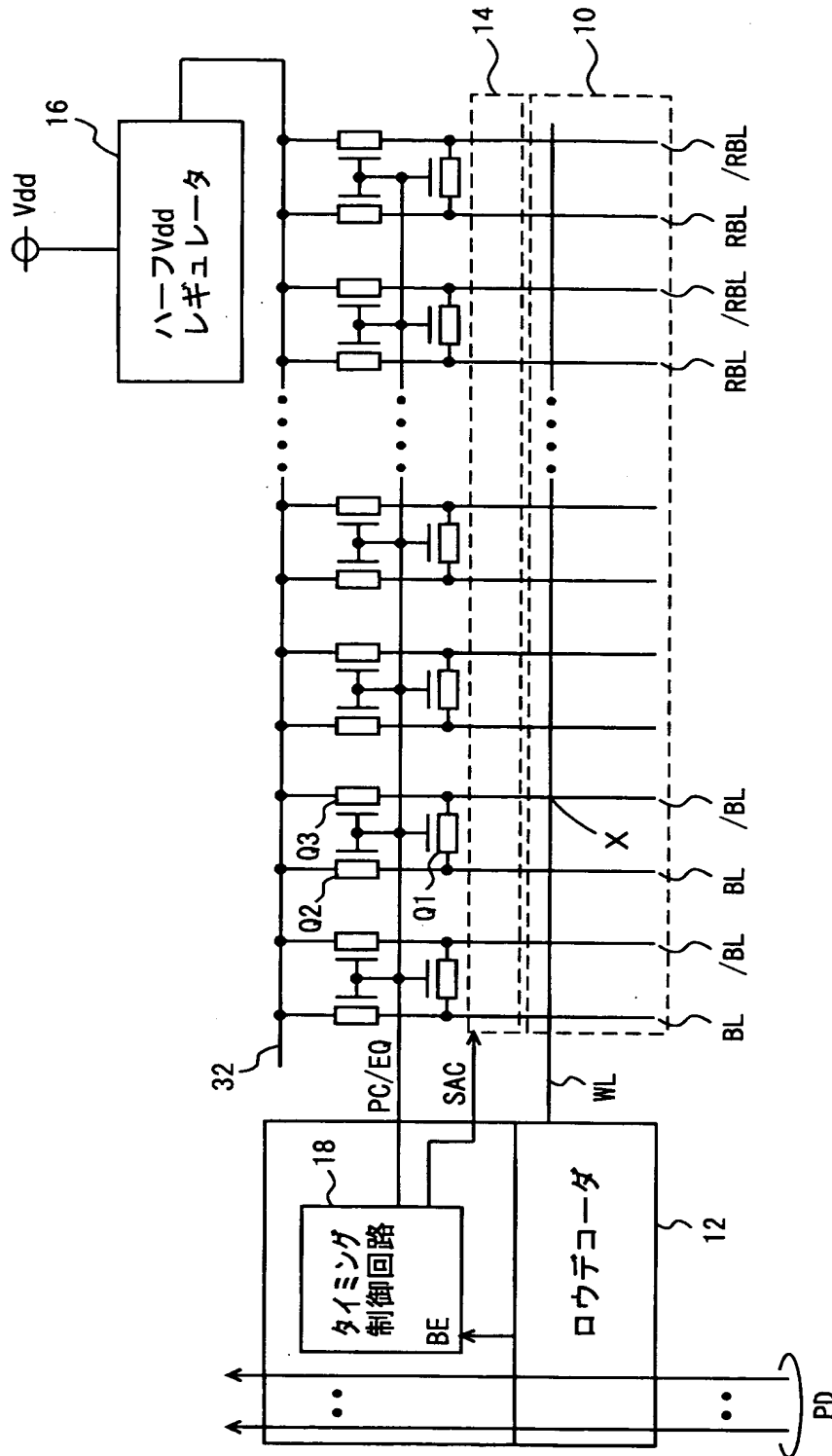
【書類名】

図面

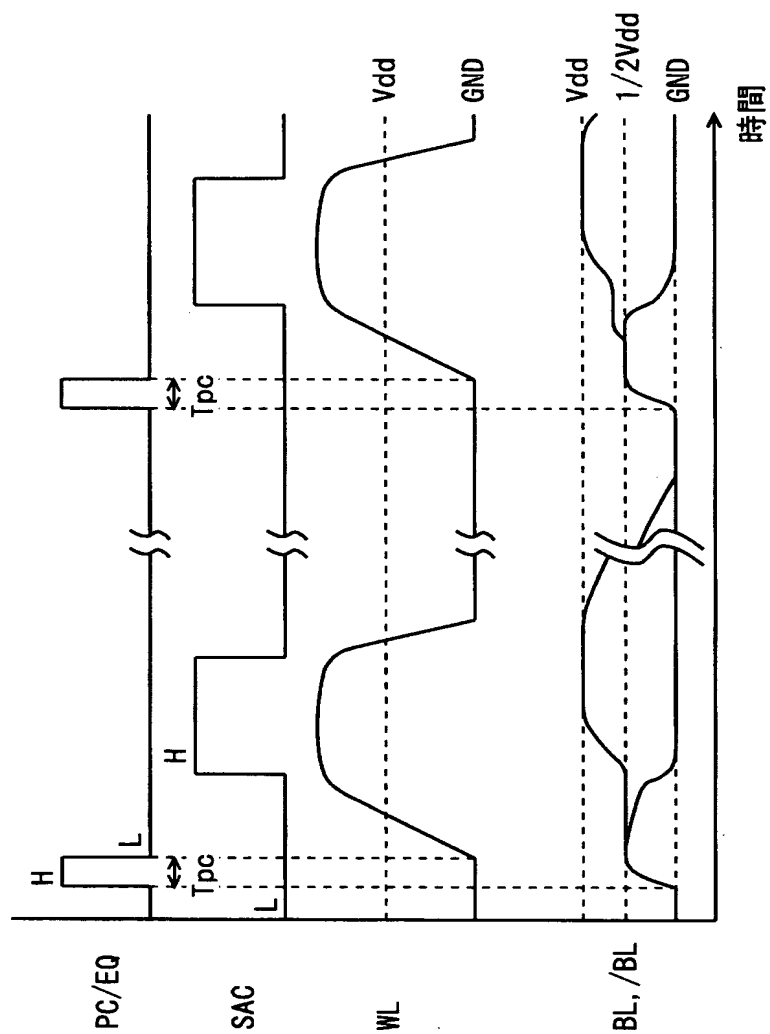
【図 1】



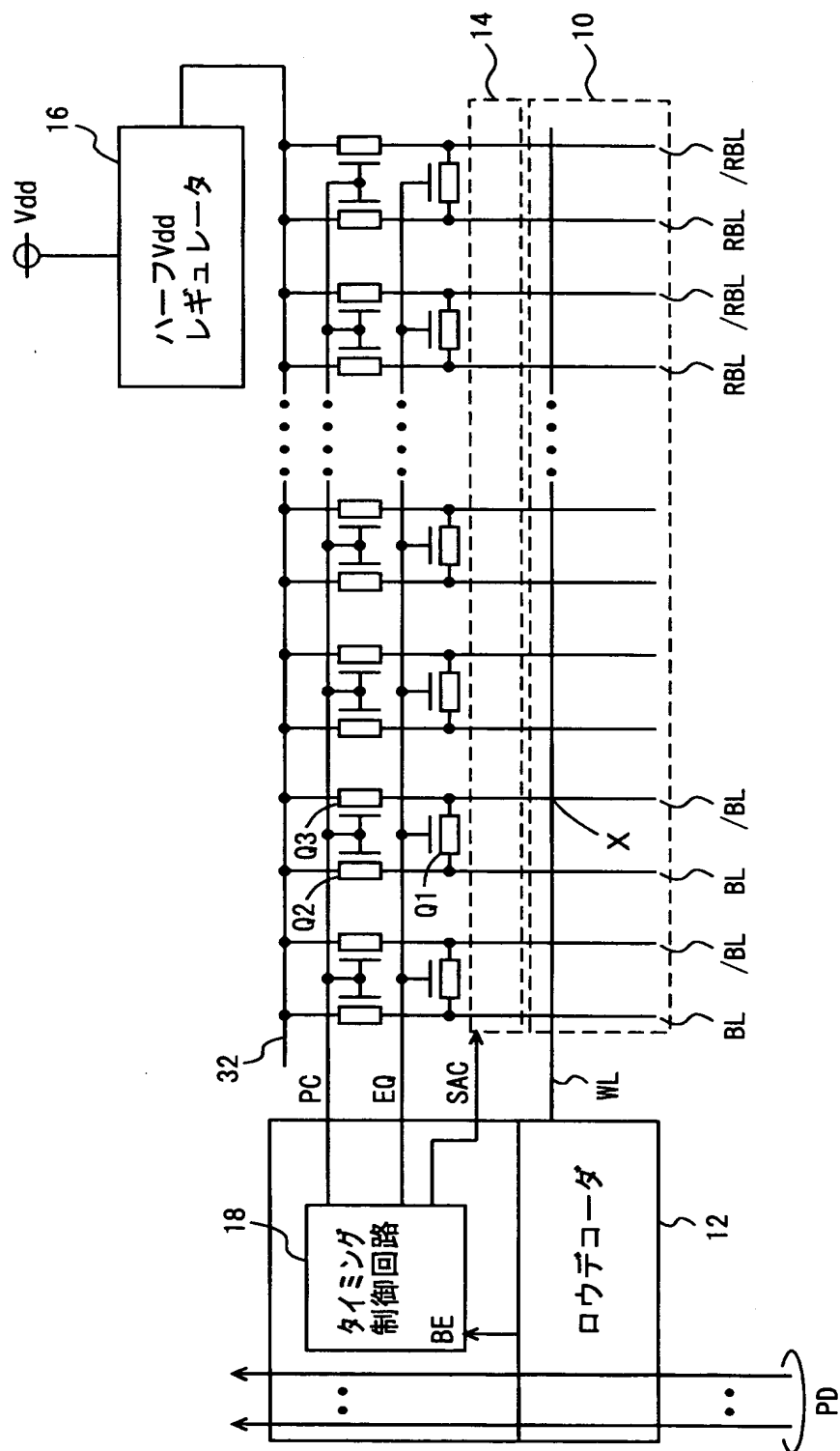
【図 2】



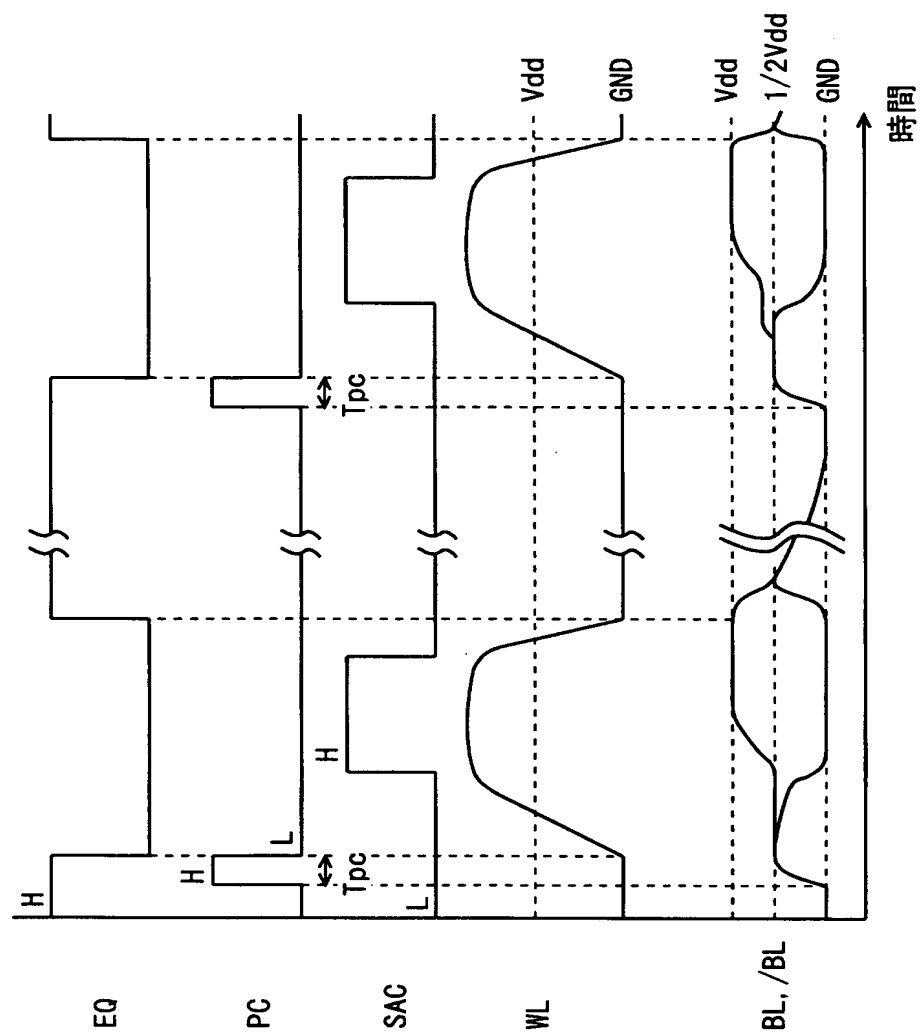
【図 3】



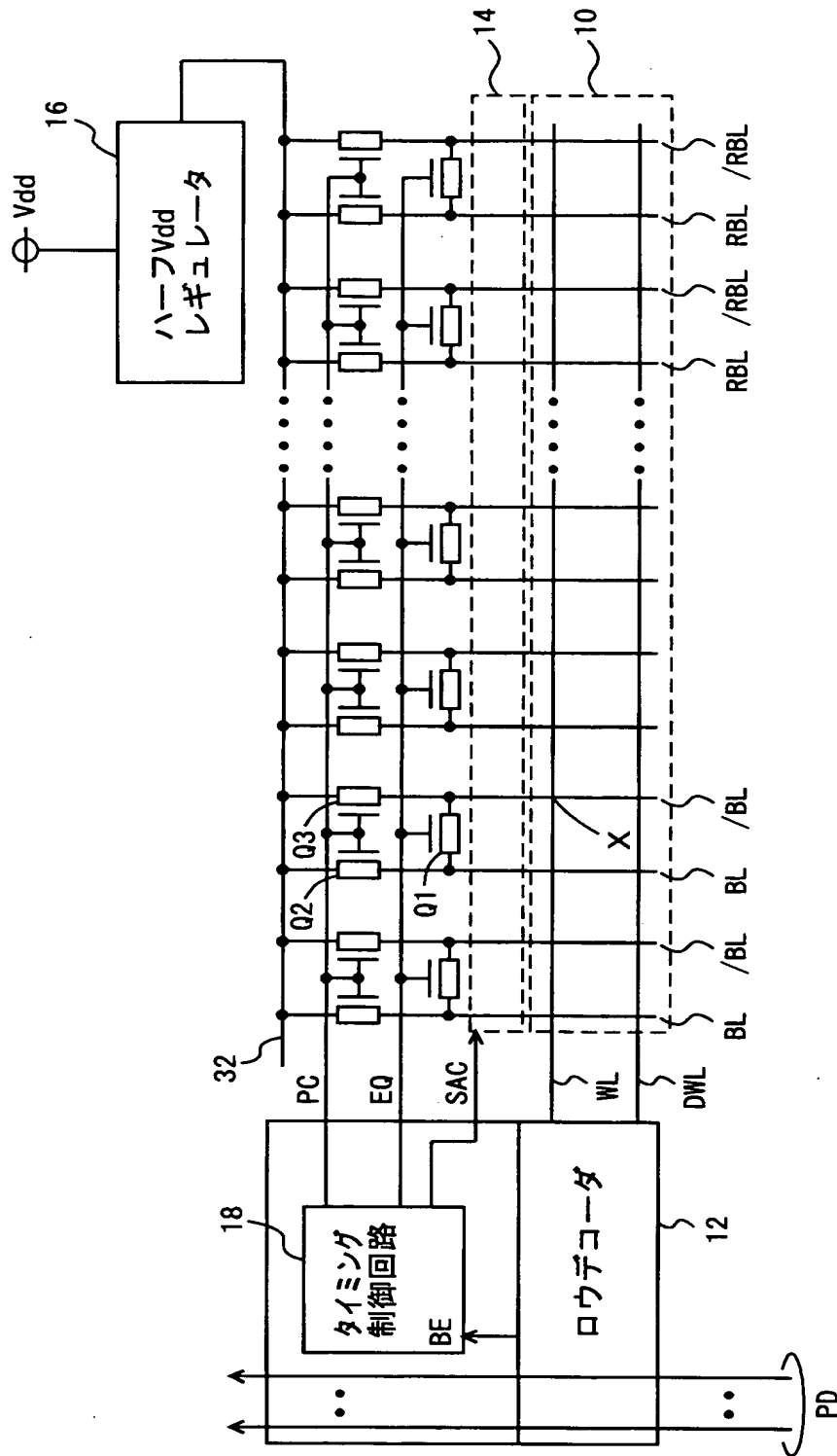
【図 4】



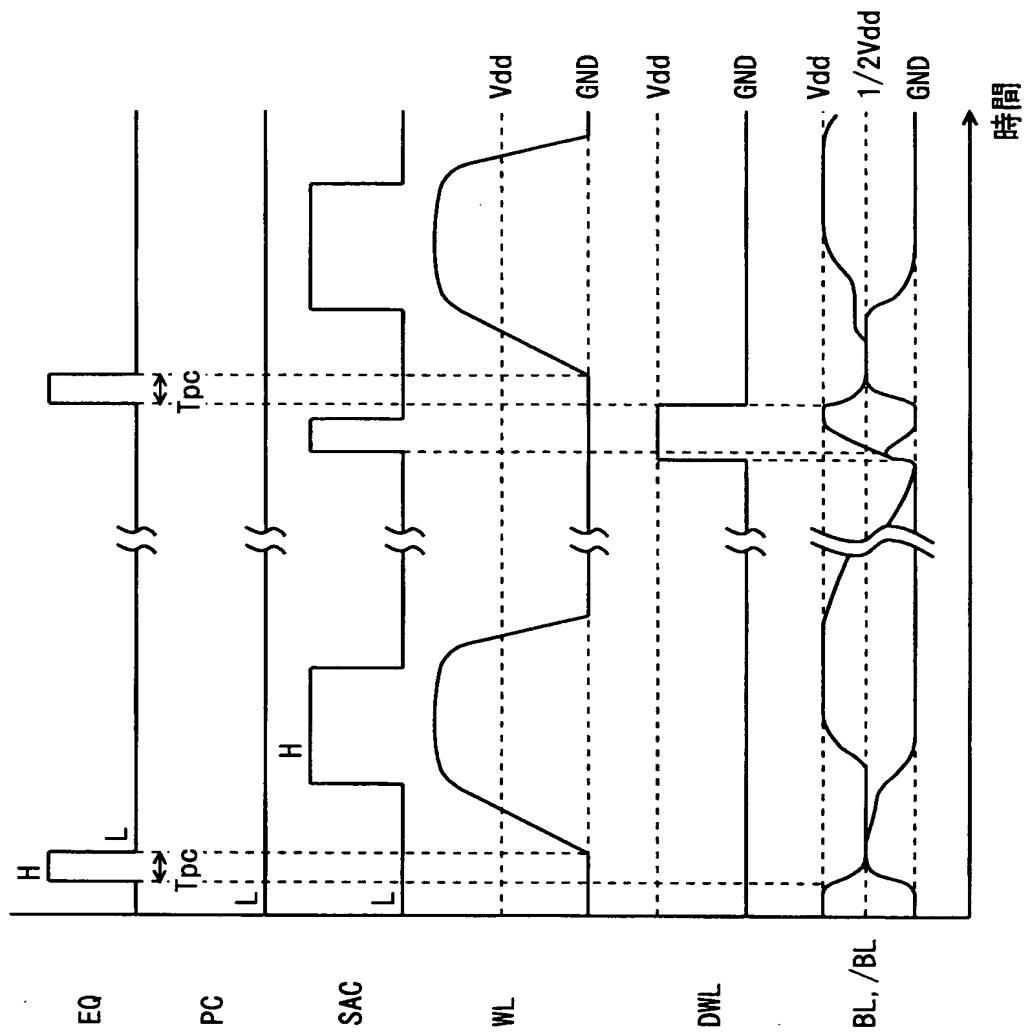
【図 5】



【図 6】

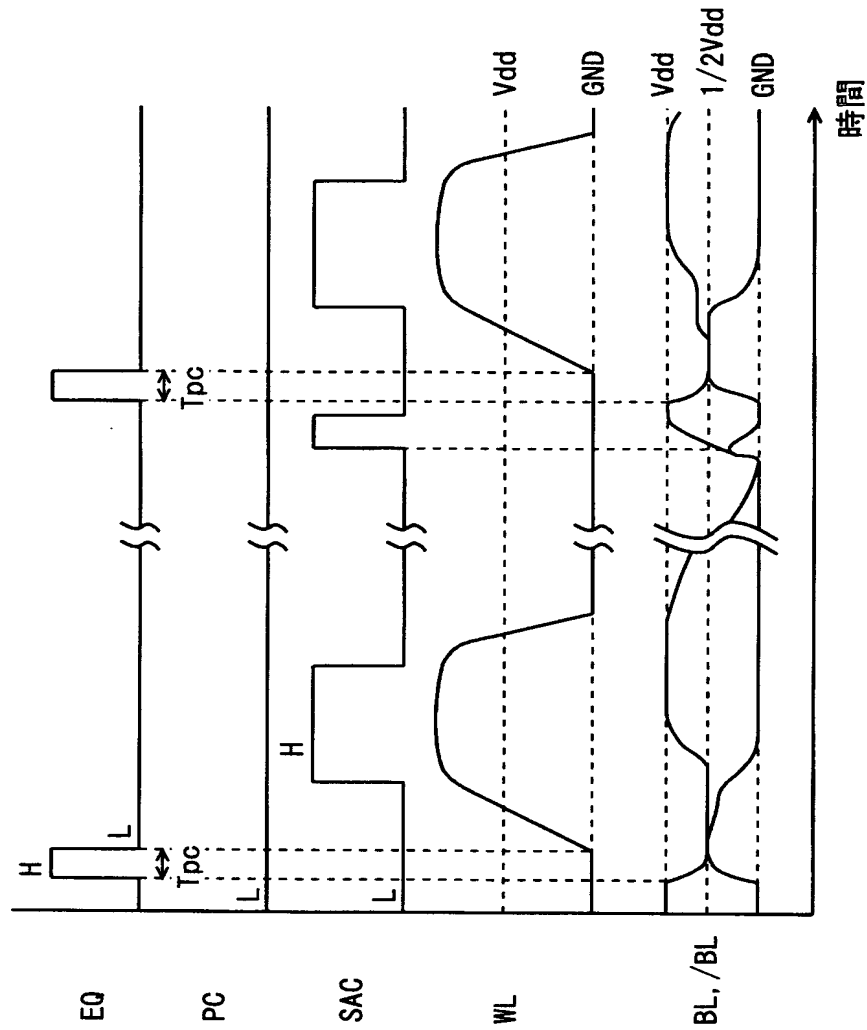


【図 7】

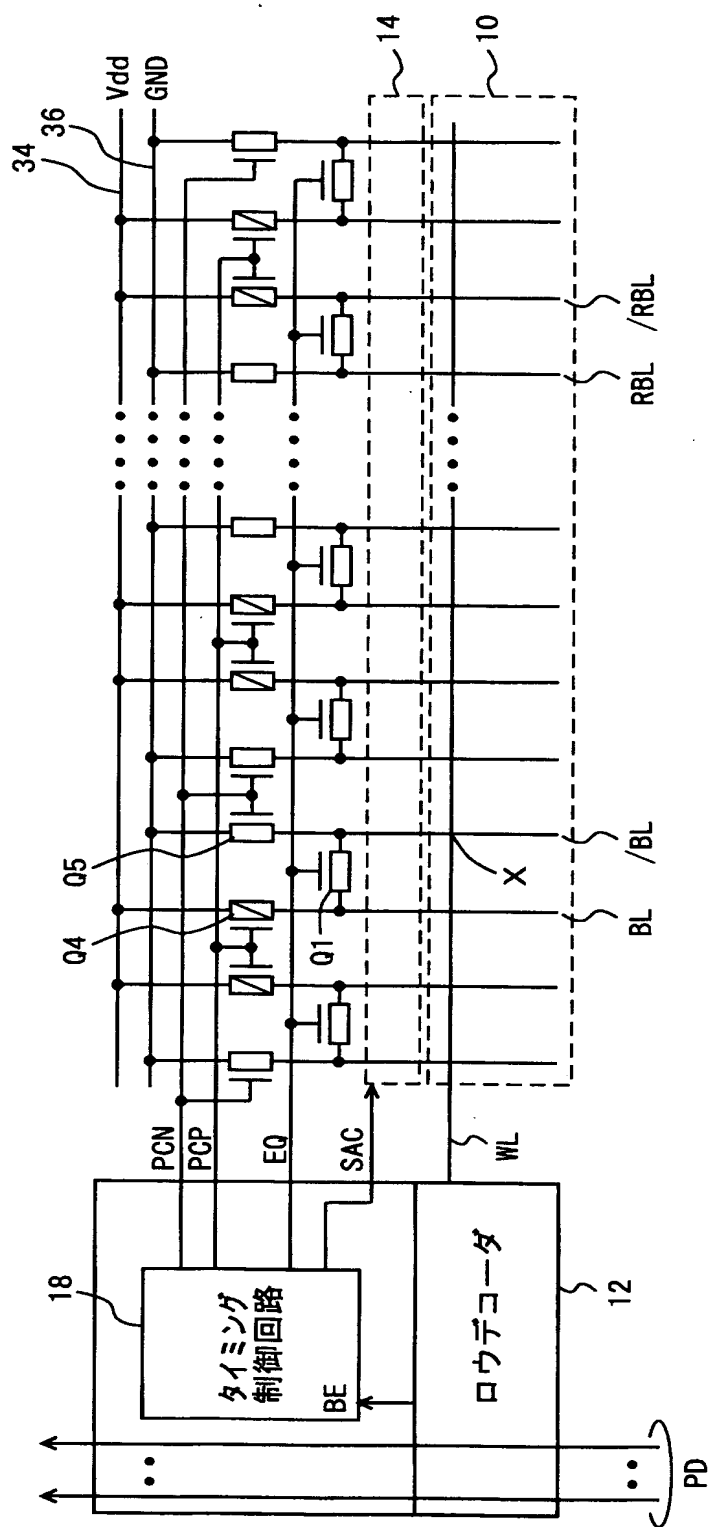




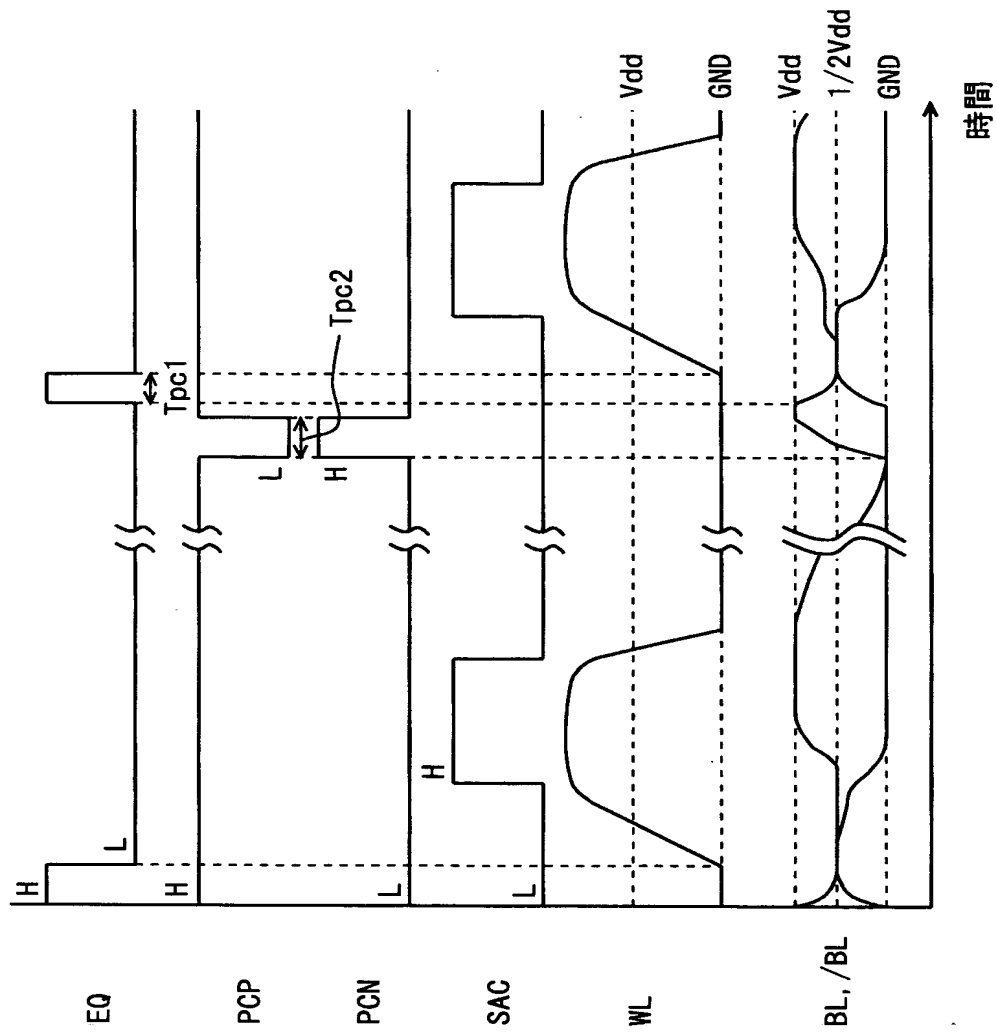
【図 8】



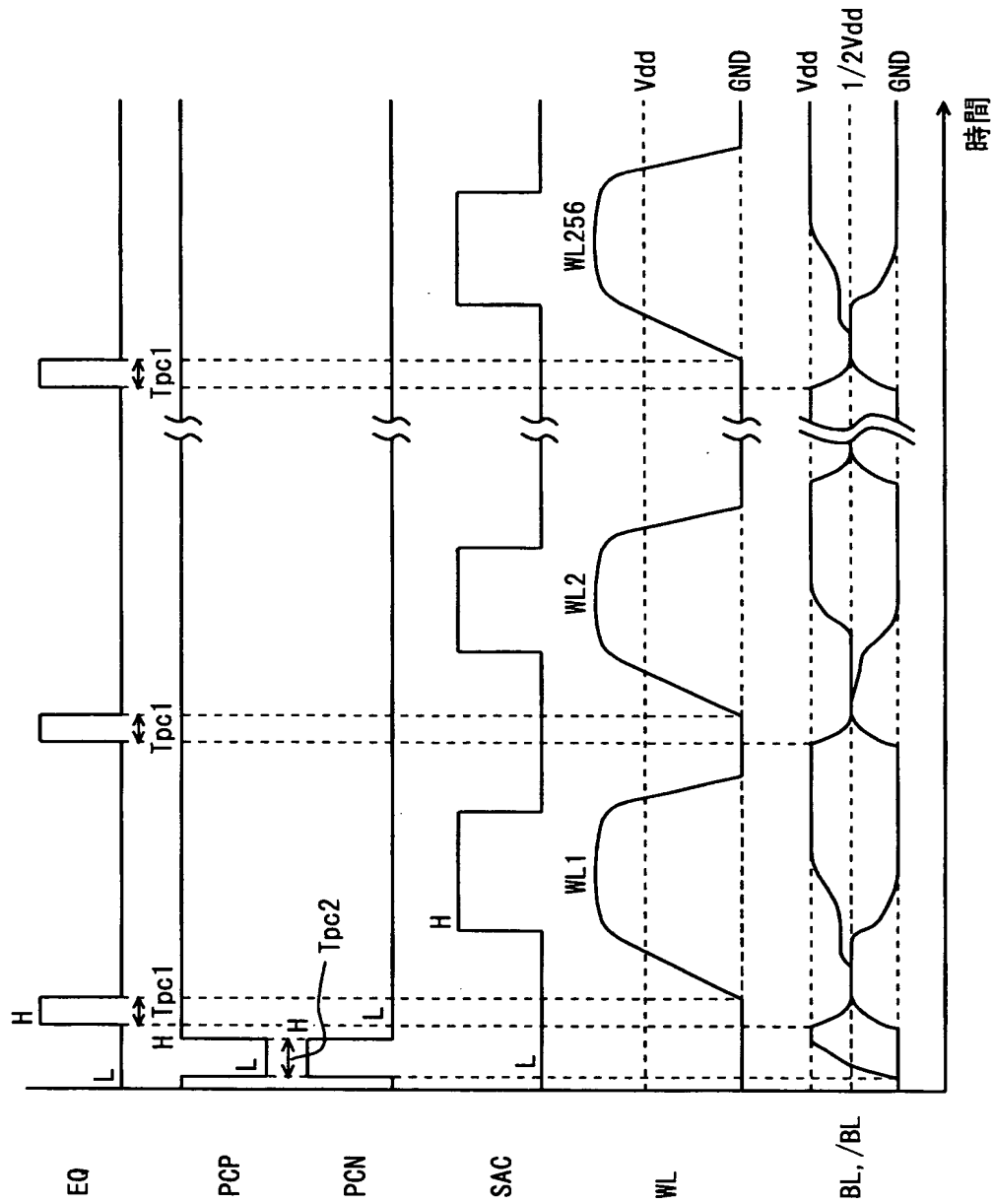
【図 9】



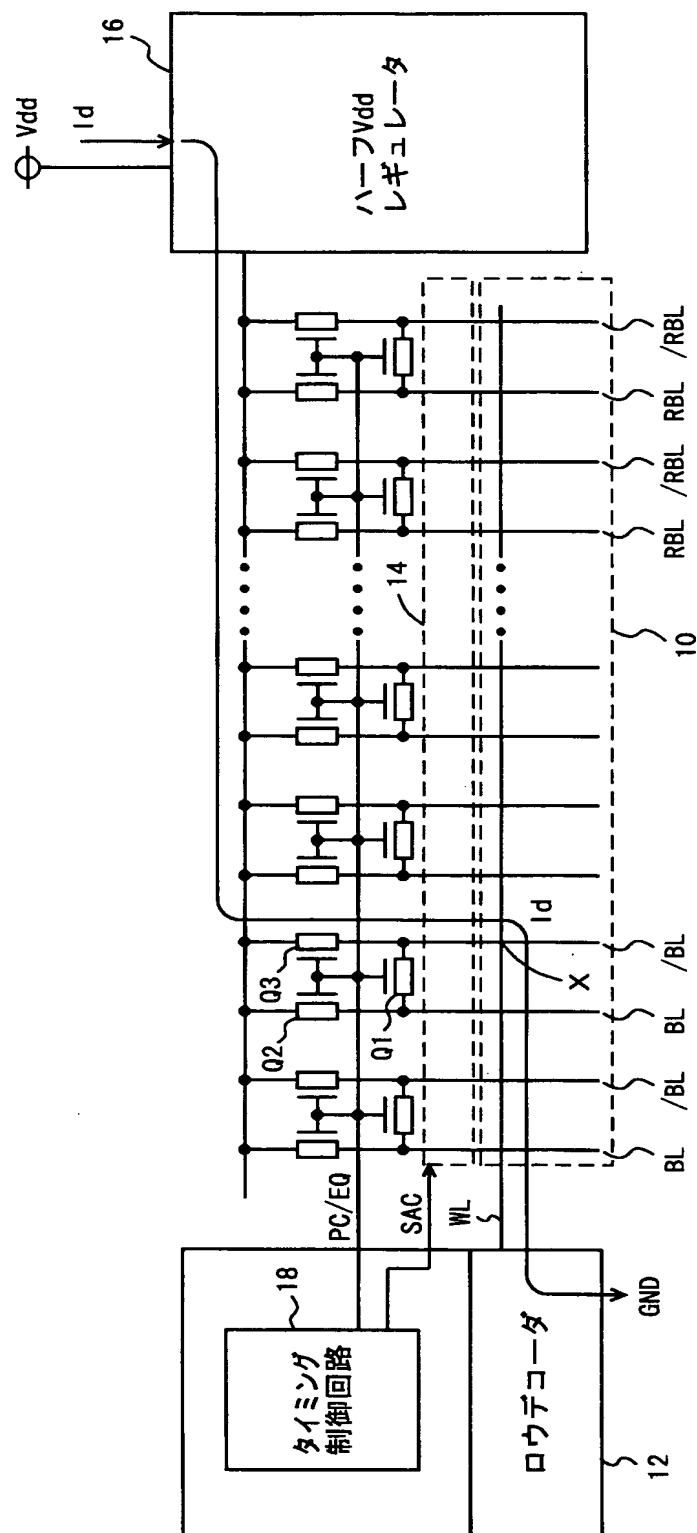
【図 10】



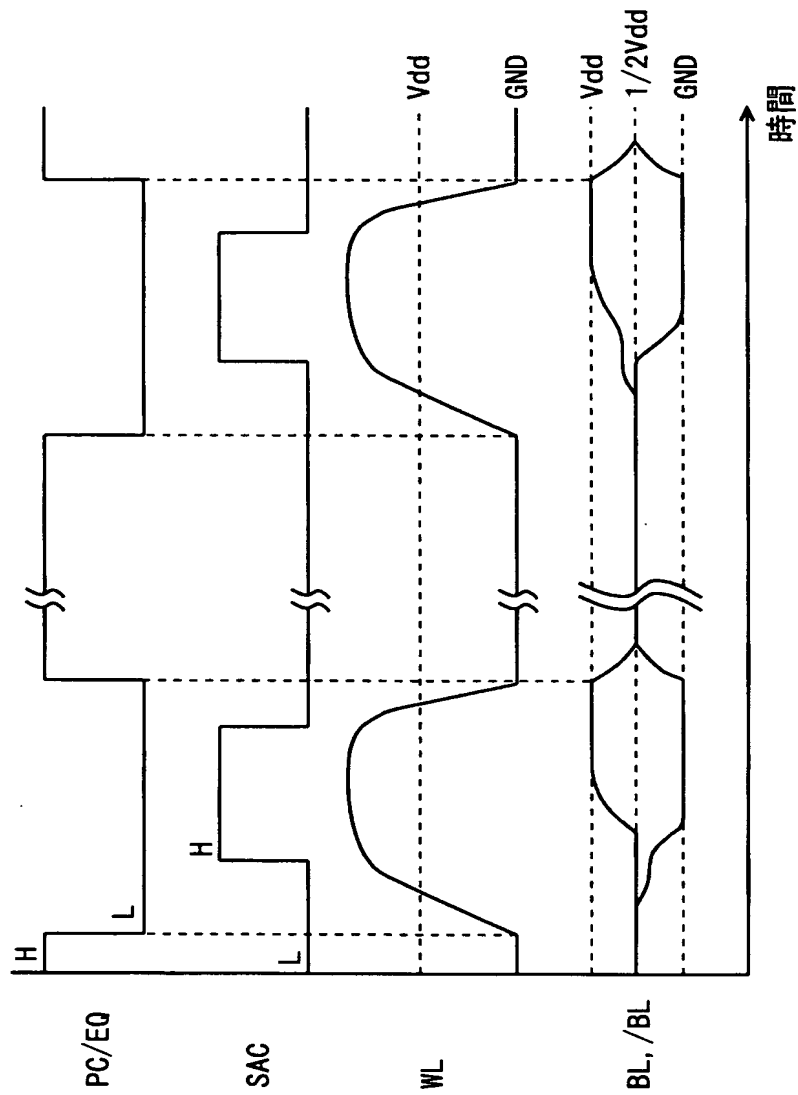
【図 11】



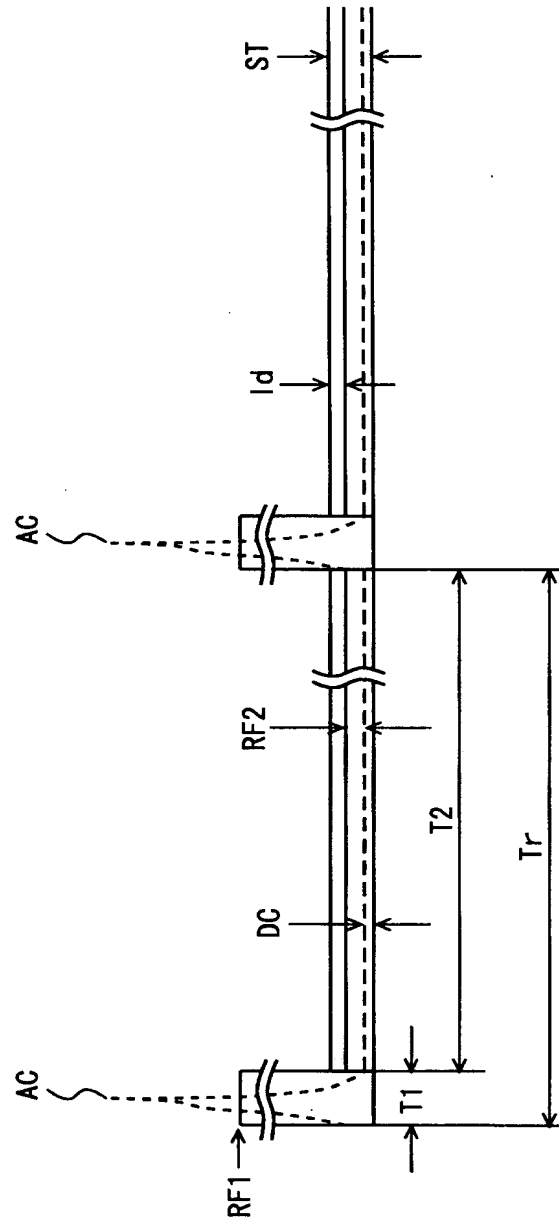
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 スタンバイ電流を低減することの可能なダイナミック型半導体記憶装置を提供する。

【解決手段】 リフレッシュ動作しか行わないスタンバイモードでは、ワード線WL活性化前の所定期間 $T_{pc}$ だけプリチャージ／イコライズ信号PC/EQを活性化し、ビット線対BL，／BLをワード線WLの活性化直前に $V_{dd}/2$ にプリチャージする。スタンバイモードでは所定期間 $T_{pc}$ を除き、ビット線対BL，／BLは $V_{dd}/2$ を発生するハーフ $V_{dd}$ レギュレータから切り離されているので、仮にワード線がビット線と短絡する欠陥が生じていても、これらの間に漏れ電流は流れない。

【選択図】 図2



## 認定・付加情報

特許出願の番号 特願 2003-128367  
受付番号 50300745120  
書類名 特許願  
担当官 小野寺 光子 1721  
作成日 平成15年 8月18日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】 390009531  
【住所又は居所】 アメリカ合衆国10504、ニューヨーク州 アーモンク ニュー オーチャード ロード  
【氏名又は名称】 インターナショナル・ビジネス・マシーンズ・コーポレーション

## 【代理人】

【識別番号】 100086243  
【住所又は居所】 神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内  
【氏名又は名称】 坂口 博

## 【代理人】

【識別番号】 100091568  
【住所又は居所】 神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内  
【氏名又は名称】 市位 嘉宏

## 【代理人】

【識別番号】 100108501  
【住所又は居所】 神奈川県大和市下鶴間1623番14 日本アイ・ビー・エム株式会社 知的所有権  
【氏名又は名称】 上野 剛史

## 【復代理人】

申請人  
【識別番号】 100104444  
【住所又は居所】 大阪府大阪市北区天満2丁目2番1号 角野ビル  
2階 インテリクス国際特許事務所  
【氏名又は名称】 上羽 秀敏

特願 2003-128367

出 願 人 履 歴 情 報

識別番号

[390009531]

1. 変更年月日

2000年 5月16日

[変更理由]

名称変更

住 所

アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)

氏 名

インターナショナル・ビジネス・マシーンズ・コーポレーション

2. 変更年月日

2002年 6月 3日

[変更理由]

住所変更

住 所

アメリカ合衆国10504、ニューヨーク州 アーモンク ニュー オーチャード ロード

氏 名

インターナショナル・ビジネス・マシーンズ・コーポレーション